

**Examen Semestre1 – Contrôle1 (S1C1)**

Année universitaire 2011/2012

CLASSE	1ere Année Ingénierie	Date	09/12/2011
MATIERE	Automatismes logiques	Durée	3H
PROFESSEUR	M Essadki	Documents	Non autorisés

- Le détail des calculs doit être mentionné sur la feuille d'examen
- **Les résultats finaux de toutes les questions doivent être encadrés**
- **Tout résultat juste et non démontré ne vaut aucun point**

**Exercice 1 : Conception d'un circuit logique combinatoire (C.L.C) réalisant la somme et produit logiques**

On désire réaliser un CLC qui réalise la somme et le produit logiques suivant l'état d'une entrée de sélection notée C.

Le circuit fonctionne comme suit :

Si  $c = 0$ , le circuit réalise le **Produit logique**  $S = a.b$

Si  $c = 1$ , le circuit réalise le **Somme logique**  $S = a+b$

- 1- Donner le symbole logique
- 2- Donner la Table de Vérité en prenant l'entrée "c" comme MSB et "a" comme LSB
- 3- En déduire l'équation simplifiée de la sortie S en utilisant le Tableau de Karnaugh
- 4- Donner le logigramme avec 4 portes à 2 entrées

**Exercice 2 : Conception d'un circuit détecteur de seuil**

Soit un CLC à 4 entrées a,b,c,d et une sortie S. La sortie  $S=1$  quand le nombre présent à l'entrée est supérieur à  $(9)_{10}$

- 1- Donner la Table de vérité en prenant l'entrée "a" comme MSB
- 2- En déduire l'équation simplifiée de la sortie S en utilisant le tableau de Karnaugh
- 3- Donner le logigramme en utilisant 2 portes à 2 entrées
- 4- Donner le logigramme en utilisant des portes NAND à 2 entrées

**Exercice 3 : Conception d'un circuit Additionneur 1, 4 et 8 bits**
**1- Conception d'un Additionneur 1 bit**

- 1.1- Donner le symbole logique d'un additionneur 1 bit

Entrées :  $A_i$  notée a ;  $B_i$  notée b ;  $C_{i-1}$  notée c

Sorties :  $S_i$  notée S et  $C_i$  notée R (Retenue)

- 1.2- Donner la Table de vérité en prenant  $A_i$  notée "a" comme MSB et  $C_{i-1}$  notée "c" comme LSB
- 1.3- En déduire les équations logiques simplifiées des sorties S et R en utilisant le Tableau de Karnaugh
- 1.4- En déduire le circuit logique de l'additionneur 1 bit en utilisant 6 portes logiques (AND, OR et XOR)

## 2- Conception d'un Additionneur 4 bits à partir d'un additionneur 1 bit

On désire réaliser un additionneur 4 bits , qui permet d'additionner deux nombres binaires A et B de 4 bits chacun : ( $A=A_4A_3A_2A_1$  et  $B=B_4B_3B_2B_1$ )

- 2.1- Donner le symbole logique de cet additionneur 4 bits
- 2.2- Câbler 4 additionneurs 1 bit, pour réaliser un additionneur 4 bits (utiliser pour l'additionneur 1 bit, un rectangle ayant comme entrées  $A_i$ ,  $B_i$  et  $C_{i-1}$  et comme sorties  $S_i$  et  $C_i$ )
- 2.3- Donner le nombre de portes à utiliser pour réaliser un additionneur 4 bits
- 2.4- Toutes ces portes sont intégrées dans un seul circuit intégré 7483. Donner le nombre de broches (Pins ou pattes) de ce circuit intégré
- 2.5- Donner le branchement de deux circuits intégrés 7483 pour réaliser un additionneur de 8 bits. NB : Le circuit intégré 7483 est représenté par la figure1)
- 2.6- Donner le résultat de l'addition de deux nombres suivants :  $A=1011$  et  $B=1101$

### Exercice 4 : Conception d'un comparateur 8 bits à l'aide du CI 7485

- 1- Donner le symbole logique d'un comparateur 4 bits permettant de comparer deux nombres binaires A et B, chacun de 4 bits : ( $A=A_4A_3A_2A_1$  et  $B=B_4B_3B_2B_1$ ) et ayant comme sorties : S correspond à ( $A>B$ ) ; I correspond à ( $A<B$ ) ; E correspond à ( $A=B$ )
- 2- Câbler deux comparateur 4 bits (Circuit Intégré 7485) pour réaliser un comparateur 8 bits (N.B : le circuit intégré 7485 est présenté à la figure 2)
- 3- Donner les états des différentes entrées et sorties des deux circuits intégrés 7485 pour le cas suivant :  $A = 10101111$  et  $B = 10110001$

**Exercice 5 :** Soit un circuit logique à 3 entrées dont le fonctionnement est décrit par la Table de Vérité suivante :

a	b	c	S
0	0	0	<b>0</b>
0	0	1	<b>0</b>
0	1	0	<b>0</b>
0	1	1	<b>1</b>
1	0	0	<b>0</b>
1	0	1	<b>1</b>
1	1	0	<b>1</b>
1	1	1	<b>1</b>

- 1- Donner l'équation logique de S non simplifiée
- 2- Simplifier algébriquement l'équation de S
- 3- Réaliser l'équation simplifiée par **quatre** portes (**quelque soit le nombre d'entées**)
- 4- Réaliser le circuit logique par **quatre** portes à **2 entrées**